

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-082637

(43)Date of publication of application : 02.04.1993

(51)Int.Cl.

H01L 21/76
H01L 21/316
H01L 27/06

(21)Application number : 03-170583

(71)Applicant : SONY CORP

(22)Date of filing : 15.06.1991

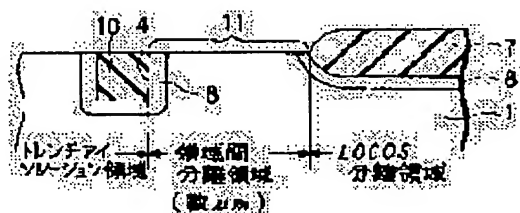
(72)Inventor : TAKEDA MINORU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent a deterioration in separation through effective control over configuration between regions, by providing an adjacent-region separating region as a space between two regions, i.e., a region, in which devices are separated with only trench isolation and a region, in which devices are separated with selective oxidation.

CONSTITUTION: An adjacent-region separating region with a length of several μm is formed between two regions, i.e., a region, in which devices are separated with only trench isolation and a region, in which devices are separated with selective oxidation. By this means, there is no fear of an abrupt step that is formed when a recessed part as a trench 4, and a projecting part as a selective oxide film 7 are made close to each other. Then, the configuration control can be improved, and friction between the trench 4 and selective oxide film 7 is prevented so that the regions can be completely separated. Consequently, the separation between regions can be enhanced sufficiently.



LEGAL STATUS

[Date of request for examination]

09.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by preparing spacing in the semiconductor device equipped with the field where separation between components is performed by only trench isolation, and the field where separation between components is performed only by selective oxidation among these both fields of the semi-conductor substrate with which both the above-mentioned fields were formed, and becoming as an isolation region between fields

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor device equipped with the semiconductor device especially the field where separation between components is performed by only trench isolation, and the field where separation between components is performed only by selective oxidation.

[0002]

[Description of the Prior Art] Although the selective oxidation film is used for the isolation between transistors in a semiconductor device in many cases, when the design rule is a high accumulation MOS device 0.5 micrometers or less, the isolation by trench isolation becomes effective. It is because higher separative power is acquired and display flatness of the front face after formation can moreover be made very high, trench isolation narrowing occupancy area as compared with the selective oxidation film.

[0003] However, it is necessary to form the several times as many component isolation region as this in a circumference circuit part for the component isolation region based on the minimum design rule by high accumulation memory at a memory cell array part. And trench isolation is not suitable for a big component isolation region, because, the isolation by trench isolation — general — the front face of a silicon semiconductor substrate — a trench (slot) — digging — this trench — for example, SiO₂ etc. — although carried out by embedding an insulator layer and insulating electrically, it is because a very complicated process is needed though it is very difficult to embed a narrow slot and a large slot with sufficient homogeneity at coincidence and is not impossible.

[0004] Then, although it is detailed, it is possible that trench isolation is formed in the component isolation region of the memory cell section where the homogeneity of a dimension is demanded severely, and a large thing forms the selective oxidation film in the component isolation region of the circumference circuit section demanded.

[0005]

[Problem(s) to be Solved by the Invention] By the way, trench isolation is formed in the component isolation region of the memory cell section, and if the selective oxidation film and trench isolation approach in [a large thing] forming the selective oxidation film in the component isolation region of the circumference circuit section demanded, the controllability of the configuration of the part will worsen, and there is a problem of being hard to acquire desired component separative power. It is because the isolation construction of the selective oxidation film and trench isolation differs from a configuration greatly. It is because a crevice called a trench is generated, a big level difference will be made, or **** will arise and a crystalline fall will specifically arise in the case of trench isolation, if it becomes reverse with heights since the selective oxidation film expands when silicon oxidizes, it approaches and both are stationed.

[0006] It succeeds in this invention that such a trouble should be solved, the controllability of the configuration between the field is raised in the semiconductor device equipped with the field where separation between components is performed by only trench isolation, and the field where separation between components is performed only by selective oxidation, and it aims at making it the separative power between fields not decline.

[0007]

[Means for Solving the Problem] this invention semiconductor device is characterized by for the separation between components of a semiconductor substrate preparing spacing between the field performed by only trench isolation and the field performed only by selective oxidation, and considering as the isolation region between fields.

[0008]

[Example] Hereafter, this invention semiconductor device is explained to a detail according to an illustration example. Drawing 1 is the sectional view showing one example of this invention semiconductor device. In a drawing, 1 is a semiconductor substrate, 4 is a trench, and the trench 4 which appeared in the drawing is a trench nearest to a circumference circuit in the trench for the separation between components of a memory cell array field. the insulator layer for trench pads by which 10 was formed in this trench 4 — it is — SiO₂ from — it becomes.

[0009] 7 is the selective oxidation film and the selective oxidation film 7 which appeared in the drawing is a thing by the side of a memory cell array most in the selective oxidation film of a circumference circuit. 8 is a channel stopper and is formed in the periphery side of a trench 4 the base side of the selective oxidation film 7.

[0010] 11 is the isolation region between fields prepared between the field where separation is performed by only trench isolation, and the field performed only by selective oxidation, and has width of face of several micrometers. The isolation region 11 between this field will be a field it was made not to prepare circuit elements, such as a transistor, in the semiconductor substrate 1 surface section, and if it puts in another way, it will be several

THIS PAGE BLANK (USPTO)

micrometers in spacing prepared between the field where separation between components of the semi-conductor substrate 1 is performed by only trench isolation, and the field performed only by selective oxidation.

[0011] In addition, it carries out carrying out ion implantation of the impurity of the same conductivity type as a substrate 1 etc., and you may make it it not only does not to form a circuit element in the isolation region 11 between fields, but form a high concentration diffusion layer. Even if wiring straddles this isolation region 11 upper part between fields, a possibility that the semi-conductor substrate 1 surface section may receive a bad influence with the potential of the wiring is lost, and it is because it is desirable.

[0012] Since the isolation region 11 between [of several micrometers] fields was formed between the field where separation between components is performed by only trench isolation, and the field where separation between components is performed only by selective oxidation according to such a semiconductor device, the selective oxidation film 7 used as the trench 4 used as a crevice and heights approaches, a possibility that a level difference steep in the meantime may arise is lost, and a configuration controllability is good. Moreover, there is also no possibility that **** may arise between a trench 4 and the selective oxidation film 7, therefore there is also no possibility that the crystallinity of the semi-conductor substrate 1 may fall. Therefore, between fields is perfectly separable. That is, separative power between fields can be made high enough.

[0013] Drawing 2 thru/or drawing 9 are the sectional views showing the manufacture approach of the semiconductor device shown in drawing 1 in order of a process, and explains the manufacture approach of a semiconductor device according to drawings, such as this, below.

[0014] (1) First, as shown in drawing 2 , form the selective oxidation film 7 in the semi-conductor substrate 1. 8 is a channel stopper.

(2) Next, as shown in drawing 3 , carry out sequential formation of the thermal oxidation film 2 and the polycrystal silicon film 3.

(3) Next, form a trench 4 by carrying out dry etching, using the photoresist film 9 as a mask, as shown in drawing 4 . In this case, it is important to prepare spacing (11) of several micrometers between the trench 4 for the isolation of a memory cell array and the selective oxidation film 7 for isolation of a circumference circuit.

[0015] (4) Next, as shown in drawing 5 , remove the photoresist film 9 and form the channel stopper 8 in the side attachment wall and pars basilaris ossis occipitalis of a trench 4 by the ion implantation of an impurity.

(5) Next, as shown in drawing 6 , form the insulator layer 10 for trench pads (SiO₂) by CVD.

In addition, when the front face of an insulator layer 10 is buried on a trench 4 after CVD, it is good on this insulator layer 10 to deposit insulator layers, such as BPSG which carries out a reflow, and to carry out flattening after that at an elevated temperature.

[0016] (6) Next, as shown in drawing 7 , remove the insulator layer outside a trench by carrying out etchback of the insulator layer 10 for trench pads.

(7) Next, as shown in drawing 8 , etching removes the polycrystalline silicon layer 3.

(8) Next, as shown in drawing 9 , remove the part and the thermal oxidation film 2 which project from the trench 4 of an insulator layer 10 by etching to an insulator layer, and a trench 4 will be embedded [flatness and] the neither more nor less.

[0017] Circuit elements, such as a transistor, are not formed in the boundary part 11 of a trench 4 and the selective oxidation film 7, but it considers as the isolation region between fields with this boundary part 11. In addition, if it not only does not form a circuit element in this isolation region 11 between fields, but ion implantation etc. carries out the impurity of the same conductivity type as a substrate 1 and the high concentration diffusion layer is formed, even if wiring will straddle this isolation region 11 upper part between fields, a possibility that the semi-conductor substrate 1 surface section may receive a bad influence with the potential of the wiring is lost, and it is as the desirable thing above-mentioned. And it is as the losing [a possibility that a configuration controllability may worsen by contiguity with the trench isolation sections 4 and 11 and the selective oxidation film 7, and an isolation property may worsen] mist beam above-mentioned by forming the isolation region 11 between fields of proper width of face.

[0018]

[Effect of the Invention] this invention semiconductor device is characterized by preparing spacing among these both fields of the semi-conductor substrate with which both the above-mentioned fields were formed, and becoming as an isolation region between fields in the semiconductor device equipped with the field where separation between components is performed by only trench isolation, and the field where separation between components is performed only by selective oxidation. Therefore, according to this invention semiconductor device, since the isolation region between fields was prepared, the trench isolation used as a crevice and the selective oxidation film used as heights approach, a possibility that a level difference steep in the meantime may arise is lost, and a configuration controllability is good. Moreover, there is also no possibility that **** may arise between a trench and the selective oxidation film, therefore there is also no possibility that the crystallinity of a semi-conductor substrate may fall. Therefore, between fields is perfectly separable. That is, separative power between fields can be made high enough.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing one example of this invention semiconductor device.

[Drawing 2] It is the sectional view showing the 1st process of the semiconductor device shown in drawing 1 .

[Drawing 3] It is the sectional view showing the 2nd process similarly.

[Drawing 4] It is the sectional view showing the 3rd process similarly.

[Drawing 5] It is the sectional view showing the 4th process similarly.

[Drawing 6] It is the sectional view showing the 5th process similarly.

[Drawing 7] It is the sectional view showing the 6th process similarly.

[Drawing 8] It is the sectional view showing the 7th process similarly.

[Drawing 9] It is the sectional view showing the 8th process similarly.

[Description of Notations]

1 Semi-conductor Substrate

4 Ten Trench isolation section

7 Selective Oxidation Film

11 Isolation Region between Fields

[Translation done.]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-82637

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76	L	9169-4M		
	M	9169-4M		
21/316		7342-4M	H 0 1 L 21/ 94	A
		7342-4M	27/ 06	1 0 2 D

審査請求 未請求 請求項の数1(全 5 頁) 最終頁に続く

(21)出願番号 特願平3-170583
(62)分割の表示 特願平3-42540の分割
(22)出願日 平成3年(1991)2月13日

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 武田 実
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(74)代理人 弁理士 尾川 秀昭

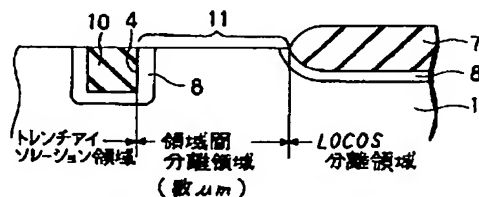
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 分離がトレンチアイソレーションのみにより行われる領域と、分離が選択酸化化によってのみ行われる領域とを備えた半導体装置において、その二つの領域間の形状の制御性を高め、領域間分離領域の分離能力を高くする。

【構成】 半導体基板の上記両領域間に数 μ mの間隔を設けて領域間分離領域となす。

実施例を示す断面図



1... 半導体基板
4, 10... トレンチアイソレーション部
7... 選択酸化膜

【特許請求の範囲】

【請求項1】 素子間分離がトレンチアイソレーションのみにより行われる領域と、素子間分離が選択酸化によってのみ行われる領域とを備えた半導体装置において、上記両領域が形成された半導体基板の該両領域間に間隔を設けて領域間分離領域としてなることを特徴とする半導体装置

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置、特に素子間分離がトレンチアイソレーションのみにより行われる領域と、素子間分離が選択酸化によってのみ行われる領域とを備えた半導体装置に関する。

【0002】

【従来の技術】半導体装置においてトランジスタ間の素子分離には選択酸化膜が用いられる場合が多いが、設計ルールが0.5 μ m以下の高集積MOSデバイスの場合にはトレンチアイソレーションによる素子分離が有効となる。なぜならば、トレンチアイソレーションは選択酸化膜に比較して占有面積を狭くしつつより高い分離能力が得られるし、そのうえ形成後における表面の平坦度をきわめて高くできるからである。

【0003】ところが、高集積メモリ等ではメモリセルアレイ部分には最小設計ルールに基づく素子分離領域を、周辺回路部分にはその数倍の素子分離領域を形成する必要がある。そして、トレンチアイソレーションは大きな素子分離領域には適しない。というのは、トレンチアイソレーションによる素子分離は、一般に、シリコン半導体基板の表面にトレンチ（溝）を掘り、該トレンチに例えばSiO₂等の絶縁膜を埋込んで電氣的に絶縁することにより行われるが、狭い溝と広い溝を同時に均一性よく埋込むことが非常に難しく、不可能ではないとしても非常に複雑な工程を必要とするからである。

【0004】そこで、微細だが寸法の均一性が厳しく要求されるメモリーセル部の素子分離領域にはトレンチアイソレーションを形成し、広いことが要求される周辺回路部の素子分離領域には選択酸化膜を形成することが考えられるのである。

【0005】

【発明が解決しようとする課題】ところで、メモリーセル部の素子分離領域にはトレンチアイソレーションを形成し、広いことが要求される周辺回路部の素子分離領域には選択酸化膜を形成することとした場合には、選択酸化膜とトレンチアイソレーションが近接すると、その部分の形状の制御性が悪くなり、所望の素子分離能力が得にくいという問題がある。というのは、選択酸化膜とトレンチアイソレーションの分離構造、形状が大きく異なるからである。具体的には、トレンチアイソレーションの場合には、トレンチという凹部が生じ、選択酸化膜はシリコンが酸化されることにより膨張するので逆に凸部

となり、両者を近接して配置すると、大きな段差ができたり、軋轢が生じて結晶性の低下が生じたりするからである。

【0006】本発明はこのような問題点を解決すべく為されたものであり、素子間分離がトレンチアイソレーションのみにより行われる領域と、素子間分離が選択酸化によってのみ行われる領域とを備えた半導体装置において、その領域間の形状の制御性を高め、領域間における分離能力が低下しないようにすることを目的とする。

【0007】

【課題を解決するための手段】本発明半導体装置は、半導体基板の素子間分離がトレンチアイソレーションのみにより行われる領域と、選択酸化によってのみ行われる領域との間に間隔を設けて領域間分離領域とすることを特徴とする。

【0008】

【実施例】以下、本発明半導体装置を図示実施例に従って詳細に説明する。図1は本発明半導体装置の一つの実施例を示す断面図である。図面において、1は半導体基板、4はトレンチで、図面に現われたトレンチ4はメモリセルアレイ領域の素子間分離用のトレンチのなかで最も周辺回路に近いトレンチである。10は該トレンチ4内に形成されたトレンチ埋込み用の絶縁膜で、SiO₂からなる。

【0009】7は選択酸化膜で、図面に現われた選択酸化膜7は周辺回路の選択酸化膜のなかで最もメモリセルアレイ側のものである。8はチャンネルストップで、選択酸化膜7の底面側、トレンチ4の周縁側に形成されている。

【0010】11は、分離がトレンチアイソレーションのみにより行われる領域と、選択酸化によってのみ行われる領域との間に設けた領域間分離領域で、数 μ mの幅を有する。この領域間分離領域11は、半導体基板1表面部にトランジスタ等の回路素子を設けないようにした領域で、換言すれば半導体基板1の素子間分離がトレンチアイソレーションのみにより行われる領域と、選択酸化によってのみ行われる領域との間に設けた数 μ mの間隔である。

【0011】尚、領域間分離領域11に単に回路素子を形成しないだけでなく、基板1と同じ導電型の不純物をイオン打込みする等して高濃度拡散層を形成するようにしても良い。なぜならば、該領域間分離領域11上方に配線が跨っても半導体基板1表面部がその配線の電位により悪影響を受ける虞れがなくなり好ましいからである。

【0012】このような半導体装置によれば、素子間分離がトレンチアイソレーションのみにより行われる領域と、素子間分離が選択酸化によってのみ行われる領域との間に、数 μ mの領域間分離領域11を設けたので、凹部となるトレンチ4と凸部となる選択酸化膜7が近接し

てその間に急峻な段差が生じるという虞れがなくなり、形状制御性が良い。また、トレンチ4と選択酸化膜7との間に軋轢が生じる虞れもなく、従って半導体基板1の結晶性が低下するという虞れもない。依って、領域間を完璧に分離できる。即ち領域間分離能力を十分に高くすることができる。

【0013】図2乃至図9は図1に示した半導体装置の製造方法を工程順に示す断面図であり、以下にこれ等の図に従って半導体装置の製造方法を説明する。

【0014】(1) 先ず、図2に示すように半導体基板1に選択酸化膜7を形成する。8はチャンネルストップである。

(2) 次に、図3に示すように熱酸化膜2と多結晶シリコン膜3を順次形成する。

(3) 次に、図4に示すようにフォトリソ膜9をマスクとしてドライエッチングすることによりトレンチ4を形成する。この場合重要なのは、メモリセルアレイの素子分離用のトレンチ4と周辺回路の素子分離用選択酸化膜7との間に数 μm の間隔(11)を設けることである。

【0015】(4) 次に、図5に示すようにフォトリソ膜9を除去し不純物のイオン打込みによりトレンチ4の側壁及び底部にチャンネルストップ8を形成する。

(5) 次に、図6に示すようにトレンチ埋込み用の絶縁膜(SiO_2)10をCVDにより形成する。

尚、CVD後においてトレンチ4上で絶縁膜10の表面が埋没する場合には該絶縁膜10上に高温でリフローするBPSG等の絶縁膜を堆積し、その後平坦化すると良い。

【0016】(6) 次に、図7に示すように、トレンチ埋込み用絶縁膜10をエッチバックすることによりトレンチ外絶縁膜を除去する。

(7) 次に、図8に示すように、多結晶シリコン層3をエッチングにより除去する。

(8) 次に、図9に示すように絶縁膜に対するエッチングにより絶縁膜10のトレンチ4から突出する部分及び熱酸化膜2を除去し、平坦且つ過不足なくトレンチ4を埋め込んだ状態になる。

【0017】トレンチ4と選択酸化膜7との境界部分11にはトランジスタ等の回路素子を形成せず、該境界部分11をもって領域間分離領域とする。尚、該領域間分離領域11に単に回路素子を形成しないだけでなく基板

1と同じ導電型の不純物をイオン打込み等して高濃度拡散層を形成しておくようにしておくこと該領域間分離領域11上方に配線が跨っても半導体基板1表面部がその配線の電位により悪影響を受ける虞れがなくなり好ましいこと前述のとおりである。そして、適宜な幅の領域間分離領域11を設けることによりトレンチアイソレーション部4、11と選択酸化膜7との近接により形状制御性が悪くなり、素子分離特性が悪くなるという虞れがなくなることもやはり前述のとおりである。

【0018】

【発明の効果】本発明半導体装置は、素子間分離がトレンチアイソレーションのみにより行われる領域と、素子間分離が選択酸化化によるのみ行われる領域とを備えた半導体装置において、上記両領域が形成された半導体基板の該両領域間に間隔を設けて領域間分離領域としてなることを特徴とするものである。従って、本発明半導体装置によれば、領域間分離領域を設けたので、凹部となるトレンチアイソレーションと、凸部となる選択酸化膜が近接してその間に急峻な段差が生じるという虞れがなくなり、形状制御性が良い。また、トレンチと選択酸化膜との間に軋轢が生じる虞れもなく、従って、半導体基板の結晶性が低下するという虞れもない。依って、領域間を完璧に分離できる。即ち、領域間分離能力を十分に高くすることができる。

【図面の簡単な説明】

【図1】本発明半導体装置の一つの実施例を示す断面図である。

【図2】図1に示す半導体装置の第1の工程を示す断面図である。

【図3】同じく第2の工程を示す断面図である。

【図4】同じく第3の工程を示す断面図である。

【図5】同じく第4の工程を示す断面図である。

【図6】同じく第5の工程を示す断面図である。

【図7】同じく第6の工程を示す断面図である。

【図8】同じく第7の工程を示す断面図である。

【図9】同じく第8の工程を示す断面図である。

【符号の説明】

1 半導体基板

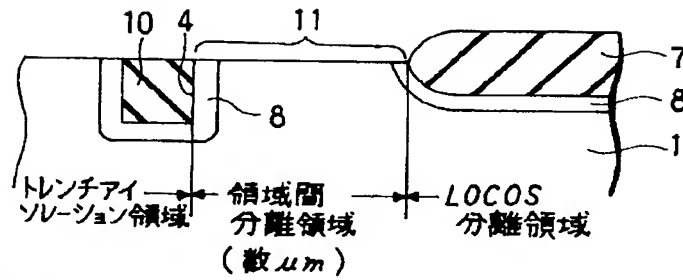
4、10 トレンチアイソレーション部

7 選択酸化膜

11 領域間分離領域

【図1】

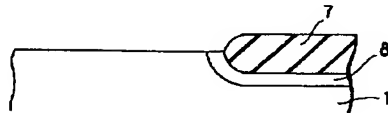
実施例を示す断面図



- 1... 半導体基板
 4、10... トレンチアイソレーション部
 7... 選択酸化膜

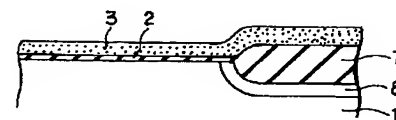
【図2】

第1の工程



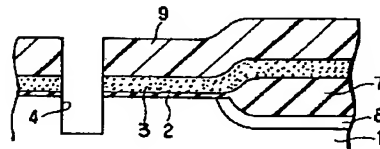
【図3】

第2の工程



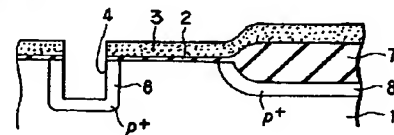
【図4】

第3の工程



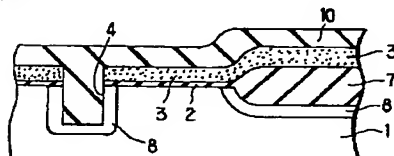
【図5】

第4の工程



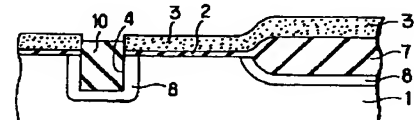
【図6】

第5の工程



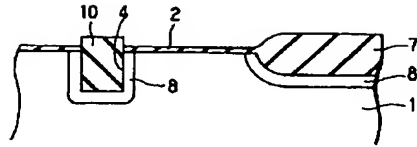
【図7】

第6の工程



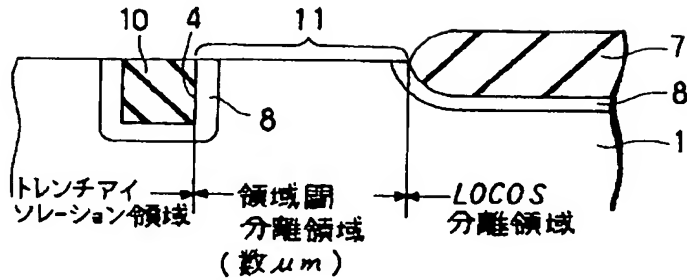
【図8】

第7の工程



【図9】

第8の工程



フロントページの続き

(51)Int.Cl.³
H01L 27/06

識別記号

片内整理番号

F I

技術表示箇所

THIS PAGE BLANK (USPTO)